

ADIOX-MK II

MULTIFUNCTION-I/O-X2 SERIES DX II 64M-PCI USER MANUAL

UPDATE 2012-1-19

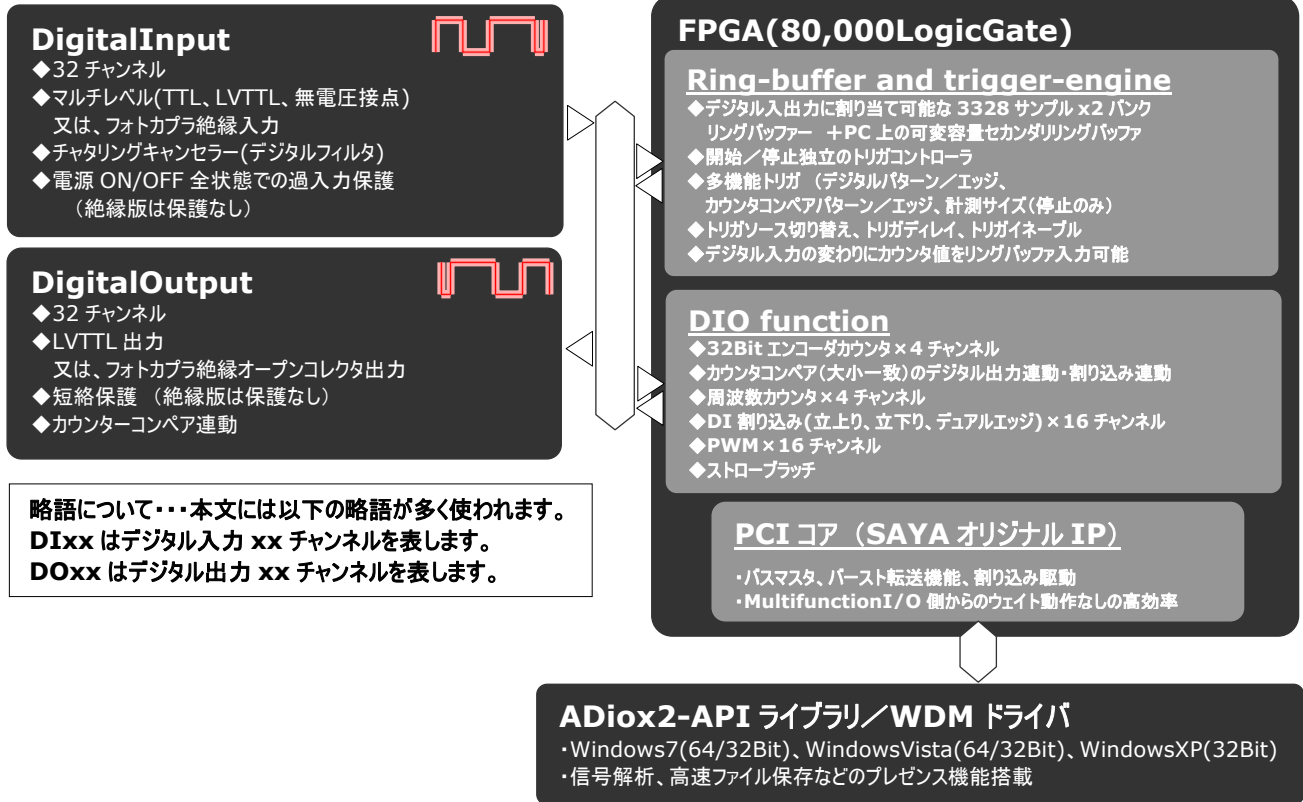
SAYA INC.

目次

1. 概要	2	5. カウンタ/PWM/ラッチ/割り込み	11
2. 基本仕様	2	5.1 32Bit 多機能エンコーダカウンタ-x4CH	11
3. インターフェース仕様	2	5.2 周波数カウンタ-x4CH	12
3.1 コネクタ・ジャンパー覧	2	5.3 PWM ジェネレータ-x16CH	12
3.2 デジタル入力(非絶縁)	2	5.4 ストローブ送信・受信	13
3.3 デジタル入力(絶縁)	3	5.5 DI 割り込み x16CH	13
3.4 デジタル出力(非絶縁)	3	5.6 DO への各種機能のマッピング	13
3.5 デジタル出力(絶縁)	3	6. ソフトウェア	14
3.6 エンコーダノパルスカウンタ	4	6.1 ドライバインストール(WindowsXP)	14
3.7 周波数カウンタ	4	6.2 ドライバインストール(Windows7/Vista)	15
3.8 トリガ・リングバッファ	4	6.3 アンインストールと再インストール	17
3.9 チャタリングキャンセラ(デジタル入力)	4	6.4 SDK	17
3.10 CARD_ID	4	6.5 サンプルアプリケーション	17
3.11 CN1 ピンアサイン(非絶縁)	5	7. 注意点・その他	18
3.12 CN1 ピンアサイン(絶縁)	6	7.1 一般禁止事項	18
4. バッファトリガエンジン	7	7.2 タイミング	18
4.1 2 ステージリングバッファ・デジタル入力	7	7.3 ケーブル長さ	18
4.2 2 ステージリングバッファ・デジタル出力	8	7.4 本仕様書の扱い	18
4.3 多機能トリガコントローラ	9	7.5 長期の保存	18
4.4 サンプリングクロック出力	9	7.6 総合信頼性試験等	18
4.5 トリガイネーブ	10	7.7 工業所有権、著作権	18
		7.8 用途	18
		8. 接続方法・アクセサリ	18

1. 概要

DX II 64-1M-PCI は、64 点のデジタル I/O を有し、カウンタ・PWM・多機能トリガ・リングバッファなどを統合した、マルチファンクション I/O です。
DX II 64-1M-PCI は、**ADX II 85-1M-PCI(EX)(-P)** とレジスタ・ソフトウェア互換性があります。



2. 基本仕様

寸法	: 非絶縁版	133.6(±0.5) × 121mm(±0.5) ブラケット、コネクタを含む総寸法
	: 絶縁版	147.5(±0.5) × 121mm(±0.5) ブラケット、コネクタを含む総寸法
許容温度・湿度	: 0~60°C (動作時) -35~85°C (保存時)	10~90%RH(動作時:結露なきこと)
型番	: 非絶縁版	DX II 64-1M-PCI
	: 絶縁版 5V	DX II 64-1M-PCI-5V
	: 絶縁版 12V	DX II 64-1M-PCI-12V
	: 絶縁版 24V	DX II 64-1M-PCI-24V

3. インターフェース仕様

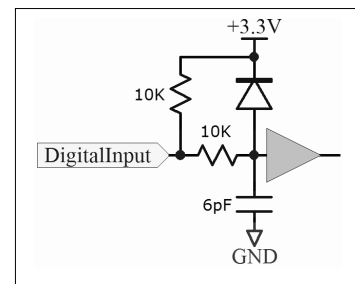
3.1 コネクタ・ジャンパー一覧

内容	部品番号	コネクタ形状
外部入出力インターフェースコネクタ	CN1	100pin/1-7ピッチコネクタ(HIROSE DX10A-100S)
マルチカードのID設定ジャンパ	JP1	2 × 2pin Header (2列2.54mmPitch4pin)

3.2 デジタル入力(非絶縁版)

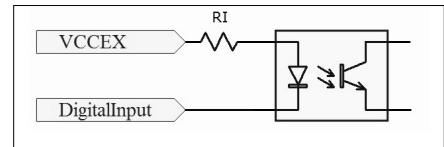
等価回路を右に示します。入力開放時の安定用プルアップ抵抗、保護回路で構成されます。プルアップ抵抗があるので、無電圧接点やオープンコレクタ、オープンドレインの信号も受信可能です。6pFの入力容量により、-3dB 周波数は約 2.7MHz です。

点数	: 32 チャンネル
規格	: TTL/LVTTTL(電圧正論理)
サンプリング周波数	: DI0-15 はリングバッファ動作速度 (サンプリングクロック)
	: DI16-31 は 33MHz (PCI クロック)
最大許容入力電圧	: +9.0V (長時間の過電圧は避けてください)
バッファトリガエンジン	: DI15~0 に割付可能
ラッチ用ストローブ	: DI31 又は CN1-1 専用入力に割付
トリガイネーブル	: DI30 に割付 (カウンタバッファ使用時は使用禁止)
割り込み	: DI31~16 に割付可能
エンコーダカウンタ	: DI31~16 に 4 機のカウンタを割付可能
周波数カウンタ	: DI31,27,23,19 に 4 機のカウンタを割付
トリガソース	: DI31~0 に割付可能 (パターントリガ・エッジトリガ共に)



3.3 デジタル入力(絶縁版)

絶縁版のデジタル入力は、フォトカプラ入力です。等価回路は右図の通りで、カソード側が入力で、アノードは外部電源(VCCEX)にプルアップ抵抗(RI)経由で接続されます。このプルアップ抵抗は、ソケット式で交換が可能で、この抵抗値と、外部電圧によって、以下の公式でフォトカプラのフォトダイオード部分の駆動電流が決まります。



$$\text{フォトダイオード駆動電流 (Is)} = (\text{外部電源電圧 (Ve)} - 1) \div \text{プルアップ抵抗値 (RI)}$$

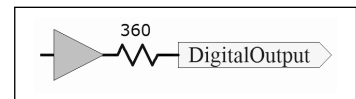
尚、駆動電流 Is は 25mA~3mA の範囲とし、さらにプルアップ抵抗の電力 (Pd) を 0.1W に抑えてください。プルアップ抵抗の電力 Pd は、“駆動電流 Is × (外部電源電圧 (Ve) - 1)” で計算できます。本製品は 5V、12V、24V で最適なプルアップ抵抗を実装して出荷します。それぞれのフォトダイオードの許容電流 (Is)、プルアップ抵抗の電力 (Pd) は次の通りです。

5V 電源 (プルアップ抵抗 1.0KΩ)	Pd=16mW / Is=4.0mA
12V 電源 (プルアップ抵抗 2.2KΩ)	Pd=55mW / Is=5.0mA
24V 電源 (プルアップ抵抗 5.6KΩ)	Pd=94mW / Is=4.1mA

- 点数 : 32Bit
- 規格 : フォトカプラパラレルコモン絶縁 電流シンク型出力対応 電流正論理(電圧負論理)
- 外部電源電圧 : 5V / 12V / 24V
- 応答速度 : 100 μ sec (外部電圧 12V)
- サンプリング周波数 : DI0-15 はリングバッファ動作速度 (サンプリングクロック)
: DI16-31 は 33MHz (PCI クロック)
: (いずれも、フォトカプラは応答速度により、レスポンスが制限されます)
- バッファトリガエンジン : DI15~0 に割付可能
- ラッチ用ストローブ : DI31 又は CN1-1 専用入力に割付
- トリガイネーブル : DI30 に割付 (カウンタバッファ使用時は使用禁止)
- 割り込み : DI31~16 に割付可能
- エンコーダカウンター : DI31~16 に 4 機のカウンタを割付可能
- 周波数カウンター : DI31, 27, 23, 19 に 4 機のカウンタを割付
- トリガソース : DI31~0 に割付可能 (パターントリガ・エッジトリガ共に)

3.4 デジタル出力(非絶縁版)

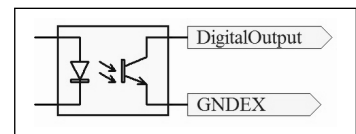
等価回路を右に示します。出力の 360Ω は短絡保護用です。



- 点数 : 32 チャンネル
- 規格 : LVTTTL レベル(電圧正論理)
- サンプリング周波数 : DO0-15 はリングバッファ動作速度 (サンプリングクロック)
: DO16-31 は 33MHz (PCI クロック)
- 出力インピーダンス : 360Ω (±1%)
- 最大出力電流 : 9.16mA
- 外部クロック出力 : DO30 に割付可能
- バッファトリガエンジン : DO15~0 に割付可能
- PWM : DO31~16 に割付可能
- トリガソース : DO~0 に割付可能 (パターントリガ・エッジトリガ共に)

3.5 デジタル出力(絶縁版)

等価回路を右の通りで、フォトカプラによる NPN オープンコレクタ出力です。入力部と異なり、この回路への電源は外部のプルアップ電圧に依存します。(※CN1 の外部給電は、出力回路には使われず) フォトカプラのフォトトランジスタ部分は以下の定格ですので、これらを遵守してください。



コレクタ損失	100mW
最大電流	50mA/25°C (12V 時、連続、負荷抵抗 240Ω)
最大電圧	80V(コレクタエミッタ間)
リーク電流	50 μ Amax
飽和電圧	0.4Vmax

外部負荷は、最大電流値の制限により以下の値が最小となります。

5V 電源=100Ω / 12V 電源=240Ω / 24V 電源=480Ω / 35V 電源=700Ω

抵抗は小さいほど高速になりますが、Low 電位が大きくなって誤動作しやすくなり、発熱も大きくなります。

- 点数 : 32 チャンネル
- 規格 : フォトカプラ絶縁オープンコレクタ出力 電流正論理(電圧負論理)
- 応答速度 : 100 μ sec (コモン電圧 12V 2KΩ 負荷)
- サンプリング周波数 : DO0-15 はリングバッファ動作速度 (サンプリングクロック)
: DO16-31 は 33MHz (PCI クロック)
- 出力インピーダンス : 360Ω (±1%)
- 最大出力電流 : 9.16mA
- 外部クロック出力 : DO30 に割付可能
- バッファトリガエンジン : DO15~0 に割付可能
- PWM : DO31~16 に割付可能
- トリガソース : DO~0 に割付可能 (パターントリガ・エッジトリガ共に)

3.6 エンコーダ／パルスカウンター

点数	: 4 チャンネル
形式	: 4 倍速エンコーダ、2 倍速エンコーダ、1 倍速エンコーダ、パルス
ビット長	: 32Bit
コンペア	: 一致、大、小、範囲内
サンプリング周期	: 33MHz (PCI クロック)
バッファトリガエンジン	: 割付不可
入力	: DI31~16 に割付可能
コンペア出力	: DO31~16 に割付可能、割り込みソースとして使用可能
バッファトリガエンジン	: 割付可能

3.7 周波数カウンター

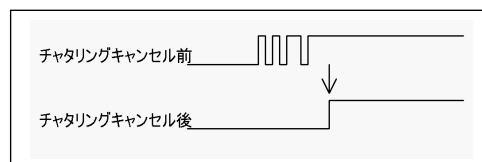
点数	: 4 チャンネル
ビット長	: 26Bit
ゲート周期	: 1sec、100msec、10msec、1msec
サンプリング周期	: 33MHz (PCI クロック)
バッファトリガエンジン	: 割付不可
入力	: DI31,27,23,19 に 4 機のカウンタを割付

3.8 トリガ・リングバッファ

トリガ種類	: リングバッファへのデータ収集開始、及び停止
トリガ検出方法	: デジタルパターン(マスク可能) or 立上りエッジ or 立下りエッジ or 両エッジ、無条件、ストップカウンター(停止トリガのみ)
プリトリガ	: なし
トリガディレイ	: 0~65535
トリガイネーブル	: DI30 に割り付け
バッファサイズ	: 3328 ダブルワード×2 バンク
リングバッファ対象	: DI15~0、DO15~0

3.9 チャタリングキャンセラ(デジタル入力)

スイッチやメカニカルリレーでは ON/OFF 切り替え時の瞬間にチャタリングが生じる可能性があります。(切り替えの瞬間、非常に短い周期で ON-OFF-ON-OFF を繰り返しながら状態が遷移していくこと) これによりカウンターが飛んだりする誤動作が考えられます。本製品は、チャタリングを防止するチャタリングキャンセラを内蔵しています。チャタリングキャンセラにより応答速度は低下するので、OFF にすることができます。高速のパルス信号を計測したい場合にはチャタリングキャンセラを OFF としてください。**チャタリングキャンセル時間は、約 15usec(本機能を on にすると、応答性は悪くなります)です。**

**3.10 CARD_ID**

本製品は 1 台のコンピューターに最大 4 セットを組み込むことが可能で、ボードの識別には、JP1 による CARD_ID 番号を使用します。JP1 の状態で CARD_ID は以下ようになります。複数のボードをインストールする場合、各ボードの CARD_ID をパッティングしない値に設定します。ソフトウェアは CARD_ID によって操作対象のボードを識別します。

JP1 1-2	JP1 3-4	設定された CARD_ID	ジャンパの様子
オープン	オープン	0	
ショート	オープン	1	
オープン	ショート	2	
ショート	ショート	3	

3.11 CN1 ピンアサイン(非絶縁版)

ピン番	信号	ピン番	信号	ピン番	信号
1	ストローブ入力	41	DI19	81	GND
2	DI0	42	DI20	82	
3	DI1	43	DI21	83	
4	DI2	44	DI22	84	
5	DI3	45	DI23	85	
6	DI4	46	DI24	86	
7	DI5	47	DI25	87	
8	DI6	48	DI26	88	
9	DI7	49	DI27	89	
10	DI8	50	DI28	90	GND
11	DI9	51	DI29	91	
12	DI10	52	DI30	92	
13	DI11	53	DI31	93	
14	DI12	54	GND	94	
15	DI13	55		95	GND
16	DI14	56	DO16	96	+5V
17	DI15	57	DO17	97	+5V
18	GND	58	DO18	98	GND
19	ストローブ出力	59	DO19	99	
20	DO0	60	DO20	100	GND
21	DO1	61	DO21		
22	DO2	62	DO22		
23	DO3	63	DO23		
24	DO4	64	DO24		
25	DO5	65	DO25		
26	DO6	66	DO26		
27	DO7	67	DO27		
28	DO8	68	DO28		
29	DO9	69	DO29		
30	DO10	70	DO30		
31	DO11	71	DO31		
32	DO12	72	GND		
33	DO13	73			
34	DO14	74			
35	DO15	75			
36	GND	76			
37	サンプリング出力	77			
38	DI16	78			
39	DI17	79			
40	DI18	80			

DI=デジタル入力
DO=デジタル出力
空白=未使用

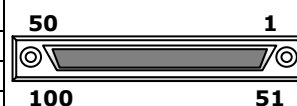


コネクタ正面図

- (1) サンプリング出力は、リングバッファ動作速度のサンプリングクロックを出力します。
ディティール比は、サンプリング周波数により大きく変動しますので、エッジ動作でご利用ください。
- (2) ストローブ入出力は、5章4節のストローブ送受信信号です。
- (3) これらの入出力のI/O仕様は他のデジタル入出力に準拠します。
- (4) CN1の外部給電+5V/GNDは、本ボード搭載PC側からの電源です。
電流容量が小さく、保護機能もないので、十分に注意してご使用下さい。
+5Vの安定性、各種特性は、PCの電源に依存します。

3.12 CN1 ピンアサイン(絶縁版)

ピン番	信号	ピン番	信号	ピン番	信号
1	外部電源VCCEX-1	41	入力 DI19	81	
2	入力 DI0	42	入力 DI20	82	
3	入力 DI1	43	入力 DI21	83	
4	入力 DI2	44	入力 DI22	84	
5	入力 DI3	45	入力 DI23	85	
6	入力 DI4	46	入力 DI24	86	
7	入力 DI5	47	入力 DI25	87	
8	入力 DI6	48	入力 DI26	88	
9	入力 DI7	49	入力 DI27	89	
10	入力 DI8	50	入力 DI28	90	
11	入力 DI9	51	入力 DI29	91	
12	入力 DI10	52	入力 DI30	92	
13	入力 DI11	53	入力 DI31	93	
14	入力 DI12	54	外部電源GNDEX-2	94	
15	入力 DI13	55	外部電源VCCEX-2	95	
16	入力 DI14	56	出力 DO16	96	外部給電+5V
17	入力 DI15	57	出力 DO17	97	外部給電+5V
18	外部電源GNDEX-1	58	出力 DO18	98	外部給電GND
19	外部電源VCCEX-1	59	出力 DO19	99	外部給電GND
20	出力 DO0	60	出力 DO20	100	
21	出力 DO1	61	出力 DO21		
22	出力 DO2	62	出力 DO22		
23	出力 DO3	63	出力 DO23		
24	出力 DO4	64	出力 DO24		
25	出力 DO5	65	出力 DO25		
26	出力 DO6	66	出力 DO26		
27	出力 DO7	67	出力 DO27		
28	出力 DO8	68	出力 DO28		
29	出力 DO9	69	出力 DO29		
30	出力 DO10	70	出力 DO30		
31	出力 DO11	71	出力 DO31		
32	出力 DO12	72	外部電源GNDEX-2		
33	出力 DO13	73			
34	出力 DO14	74			
35	出力 DO15	75			
36	外部電源GNDEX-1	76			
37	外部電源VCCEX-2	77			
38	入力 DI16	78			
39	入力 DI17	79			
40	入力 DI18	80			



コネクタ正面図

DI=デジタル入力 DO=デジタル出力
 青:絶縁グループ 1
 茶:絶縁グループ 2
 黒:非絶縁

- (4) CN1 の外部給電+5V/GND は、本ボード搭載 PC 側からの電源です。
 電流容量が小さく、保護機能もないので、十分に注意してご使用下さい。
 +5V の安定性、各種特性は、PC の電源に依存します。

4. バッファトリガエンジン

4.1 2 ステージリングバッファ・デジタル入力

【プライマリオンチップリングバッファ】

デジタル入力下位 16 チャンネルは、リングバッファ経由でデータ収集することが可能です。デジタル入力データはサンプリング周期に同期して、バッファへ順次書き込まれます。バッファは同容量のものが 2 つ(2 バンク)実装され、書き込み中のバッファが満杯になると、バンクチェンジを行って、読み出しモードになります。その間は、残るバッファに書き込みを続け、データ収集を継続します。バッファからのデータ読み出しはハードウェア割り込みとマスターバースト(バスマスタ)転送で超高速かつ低負荷です。この動作を循環して繰り返します。この構造により割り込み発生数を大幅に抑制し、PC の負荷を大幅に削減します。バッファサイズは **3328Wordx2bank** です。もしリングバッファがない場合、1us 単位で読み出ししなければならず現実的ではありませんが、このリングバッファを使うことで、3.228msec 間隔になります。“プライマリオンチップリングバッファ”は、DI/DO で一括した割り込み発生～割り込み処理(データ転送)を行うことで、割り込み発生数を減らし、システムの負荷を下げます。(※FIFO などを使うと一括で割り込みが発生せず、割り込み周期も変動するので負荷はあまり下げられません)

【可変サイズセカンダリリングバッファ】

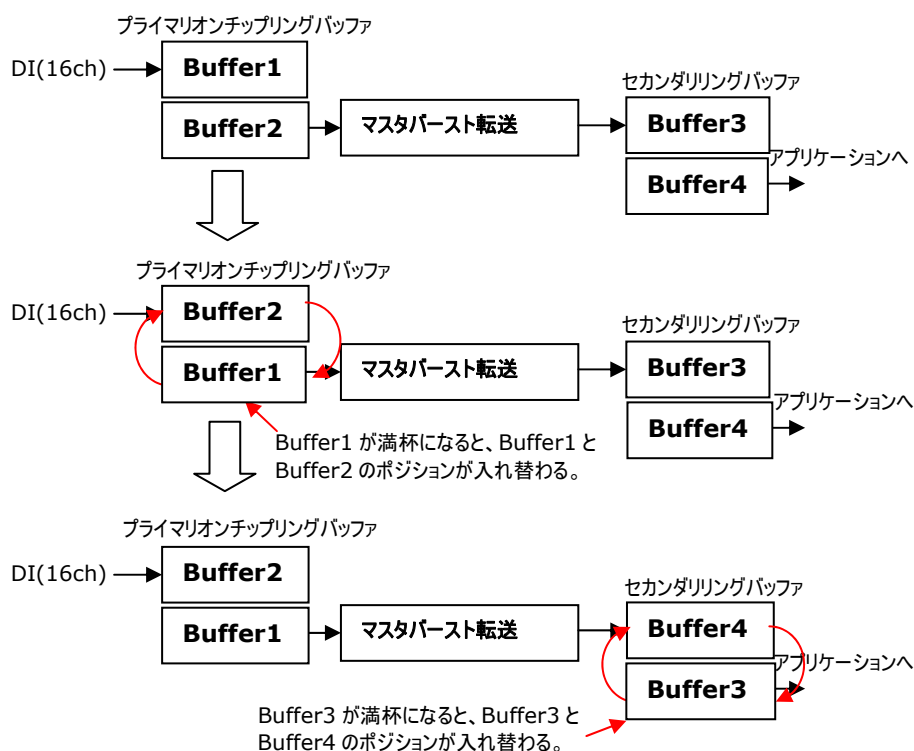
“プライマリオンチップリングバッファ”はデータをそのままアプリケーションへ送信するのではなく、コンピュータメインメモリ上の“セカンダリリングバッファ”にデータを送信します。この“セカンダリリングバッファ”容量は

(プライマリオンチップリングバッファ容量 × n) × 2bank …… n はソフトウェアで設定可能

と容量を任意に設定できます。セカンダリリングバッファの片側のバンクが一杯になるまで前記動作(“プライマリオンチップリングバッファ”からのデータ転送)を繰り返します。そして“セカンダリリングバッファ”が満杯になると、アプリケーションに対し、割り込みメッセージ(イベント)を発生して、データ読み出しを促します。この間、データの欠損を防ぐ為、“セカンダリリングバッファ”をバンクチェンジさせ、もう一方のバンクの“セカンダリリングバッファ”に“プライマリオンチップリングバッファ”からのデータを蓄積します。この 2 段階目のリングバッファにより負荷は更に低減でき、1MSPS での高速連続データ収集を可能にします。“セカンダリリングバッファ”のサイズを調整することでレスポンスと最高サンプリング速度(=負荷)を調整できます。すなわち低速のサンプリング周波数の場合、セカンダリリングバッファを小さくすることでレスポンスを優先し、高速のサンプリング周波数では、負荷を減らしてバッファオーバーランを回避するためにセカンダリリングバッファを大きくします。

【ポーリングとの並列稼働】

2 ステージリングバッファによるデータ読み出しと、ポーリング(ライブ)によるデータ読み出しは、同時に使用できます。リングバッファは、データ読み出しまでの時間が長いので、瞬時値が必要な場合には、ポーリングが同時使用できるので便利です。(シーケンシャル取り込み時にはポーリングで取得した値は正確ではありません)



4.2 2 ステージリングバッファ・デジタル出力

【プライマリオンチップリングバッファ】

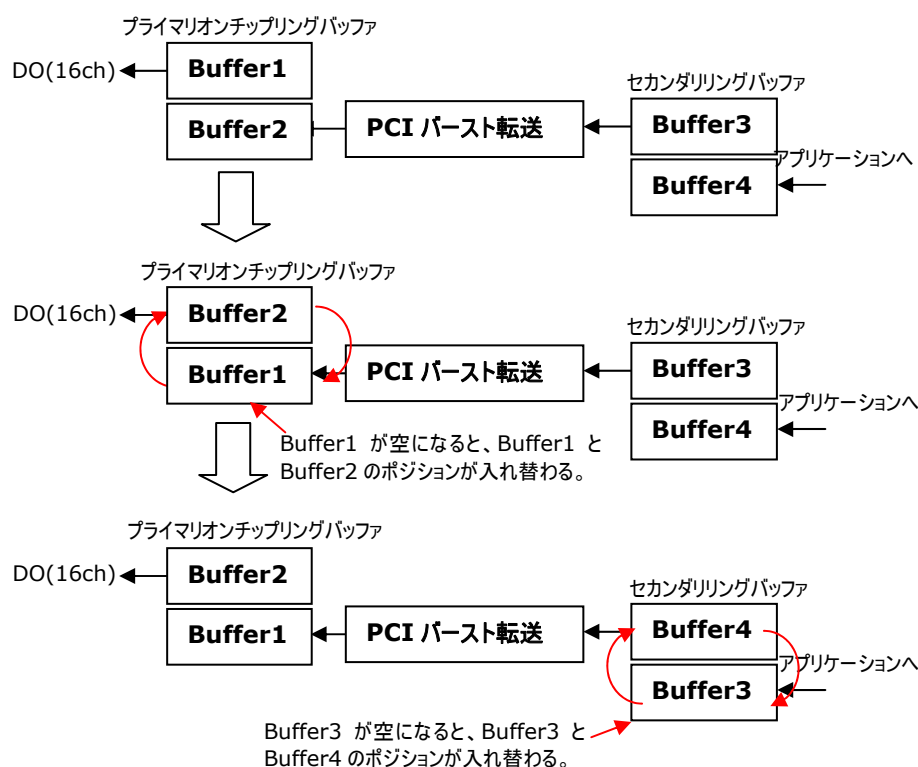
デジタル出力下位 16 チャンネルは、リングバッファ経由で出力可能です。デジタル出力データはサンプリング周期に同期して、バッファから順次読み出されます。バッファは同容量のものが 2 バンク実装され、読み出し中のバッファが空になると、バンクチェンジを行って、もう一方のバッファから読み出します。その間に、空になったバッファへ、次のデータをマスターバースト（バスマスタ）転送で一気書き込み、割り込みを発生します。この動作を循環して繰り返します。この構造により、割り込み発生数を大幅に抑制し、PC の負荷を大幅に削減します。バッファサイズは **3328Wordx2bank** です。実際には、このバッファのバンクチェンジはデジタル入力側と同時に行われ、割り込みの発生も同時に行われます。この入出力バッファの同期運転によりタイミング管理も容易になり、かつ割り込み発生も統合されるので、負荷も減ります。

【可変サイズセカンダリ PC リングバッファ】

“プライマリオンチップリングバッファ”へのデータはアプリケーションが直接書き込むのではなく、コンピュータのメインメモリ上の“セカンダリリングバッファ”から書き込まれています。この“セカンダリ PC リングバッファ”容量は

(プライマリオンチップリングバッファ容量 × n) × 2bank …… n はソフトウェアで設定可能

と容量を任意に設定できます。セカンダリリングバッファの片側のバンクが空になるまで前記動作（“プライマリオンチップリングバッファ”への書き込み）を繰り返します。そして“セカンダリリングバッファ”が空になると、アプリケーションに対し、割り込みメッセージ（イベント）を発生して、データ書き込みを促します。この間、データの欠損を防ぐ為、“セカンダリリングバッファ”をバンクチェンジさせ、もう一方のバンクの“セカンダリリングバッファ”から“プライマリオンチップリングバッファ”にデータを書き込みます。この 2 段目のリングバッファにより負荷は更に低減でき、1MSPS での高速連続データ収集を可能にします。“セカンダリリングバッファ”のサイズを調整することでレスポンスと最高サンプリング速度（= 負荷）を調整できます。すなわち低速のサンプリング周波数の場合、セカンダリリングバッファを小さくすることでレスポンスを優先し、高速のサンプリング周波数では、負荷を減らしてバッファオーバランを回避するためにセカンダリリングバッファを大きくします。

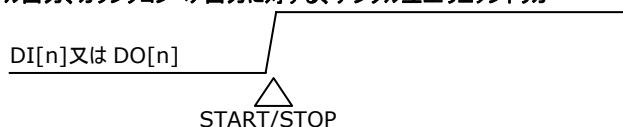


4.3 多機能トリガコントローラー

リングバッファは、トリガコントローラーによって『スタート』、『ストップ』を一括して制御することが可能です。トリガ条件は、『スタート』、『ストップ』で独立して設定できます。トリガ種類を以下に示します。トリガを使用するには、トリガモードと、関連するパラメータを設定します。

【トリガモード】

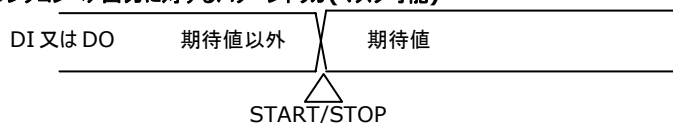
[1] 任意チャンネルのデジタル入力または、デジタル出力、カウンタコンペア出力に対する、デジタル立上りエッジトリガ



[2] 任意チャンネルのデジタル入力または、デジタル出力、カウンタコンペア出力に対する、デジタル立下りエッジトリガ



[3] デジタル入力又は、デジタル出力、カウンタコンペア出力に対するパターントリガ(マスク可能)



[4] 無条件トリガ

無条件トリガモード [ソフトウェアライブラリの定義では BURST] を指定すると、その瞬間がトリガになります。ストップトリガでこの条件を指定すると、無条件停止になりますので注意してください。これまでのハードウェアトリガ検出機能を使わず、ソフトウェアで開始をコントロールする場合にこのモードを使います。

[5] トリガリセット

トリガリセットモード [ソフトウェアライブラリの定義では RESET] を指定するとトリガ条件が成立しなくなります。ストップトリガでこの条件を指定すると、ストップ条件は成立しなくなり、ソフトウェア停止か、ストップカウンター(後述)で停止させることになります。

【デジタルトリガソース】

デジタルトリガの場合、デジタル入力、デジタル入力カラッチ値、デジタル出力、カウンタコンペア値(カウンタコンペア⇒DO 出力に相当するデジタル出力トリガソース)がトリガ対象になります。トリガソースはスタートトリガとストップトリガで独立して設定できます。トリガソースはスタートトリガとストップトリガで独立して設定できます。

【ストップカウンター】

リングバッファの停止条件には、ストップトリガのほかに、ストップカウンターが使えます。これはアナログ入力・デジタル入力リングバッファを 1 単位 = 1 バンクとして、指定バンク分(=指定容量)の取り込みを行うと、自動的に取り込みを終了するものです。ストップトリガとストップカウンタは論理輪されますので、両方を同時に使うことが可能です。

【トリガディレイ】

トリガディレイは、最大 65536 サンプル遅くリングバッファ取り込みを開始するもので、トリガ発生からしばらくデータが不要の場合にこの機能を使って、データ量を減らすことが可能です。プリトリガにトリガディレイを 0~32 組み合わせることで 0~32 サンプルの可変プリトリガにすることができます。

【プリライトとポストリード】

プリライト: デジタル出力において **プライマリオンチップリングバッファ** の 1 バンク分と **セカンダリリングバッファ** 2 バンク相当を予め書き込むことが可能です。これにより最初から欠損、遅延の無い出力が可能です。プリライトを行わない場合、3 バンク分のデータは予期しないもの、あるいは前回のバッファ内容が出力されます。

ポストリード: ストップトリガ以降データが残留しているリングバッファ 1 バンク分のみに読み出しが可能です。リングバッファのどこまでのデータが有効なのかも知ることが出来ます。

【デッドタイムカウンター】

スタートトリガとストップトリガが全く同じトリガソース、同じトリガモード、同じ条件設定である場合など、スタートトリガが有効になった直後、ストップトリガも有効になって、データ収集が開始できません。デッドタイムカウンターはスタートトリガ直後、ストップトリガ検出を指定したサンプル数無効にすることでこの問題を回避します。ソフトウェアライブラリ上では単にデッドタイムと呼んでいます。

【サンプリングクロックジェネレーター】

リングバッファ、トリガコントローラーにはクロックジェネレーターよりサンプリングクロックが提供されます。オンボードの 40MHz クロックジェネレータの周波数を最大、33554431 分周することで、1MHz~1.1921Hz まで、25ns 単位の調整が可能です。

4.4 サンプリングクロック出力

ソフトウェアの設定で DO30 に、サンプリングクロックを出力させることが可能です。

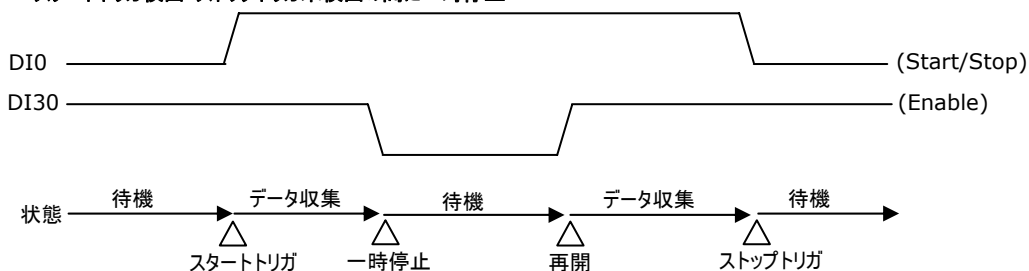
4.5 トリガインープル

バッファ移動中の必要なところを抽出して取り込むことが可能で、データの継ぎ接ぎが出来ます。この機能を有効にすると、DI30 がトリガインープル信号に割り当てられます。トリガインープル信号が High 又は Open の時だけリングバッファへの読み書き(アナログデジタル入出力)が有効になります。トリガインープル信号を Low にすると一時停止すなわち、リングバッファへの読み書き(アナログデジタル入出力)が停止します。この時アナログデジタル出力は最終値が保持される。トリガインープル信号が High 又は Open になると再開します。前述の各種トリガモードと並列して移動できます。(トリガモードとトリガインープルで論理積となるので、両方の条件が揃わないとデータ収集は開始されない⇒この様子を次の図に示す)本機能を使うことで、予め必要の無いデータを取り除くことができ、サンプリング周波数に比べ、1 バンクにおけるバスの平均転送速度を落とすことができれば、より高速での連続計測が可能になります。また計測ファイルサイズの削減にも効果があります。
(カウンタをリングバッファに接続している場合には使用しないでください)

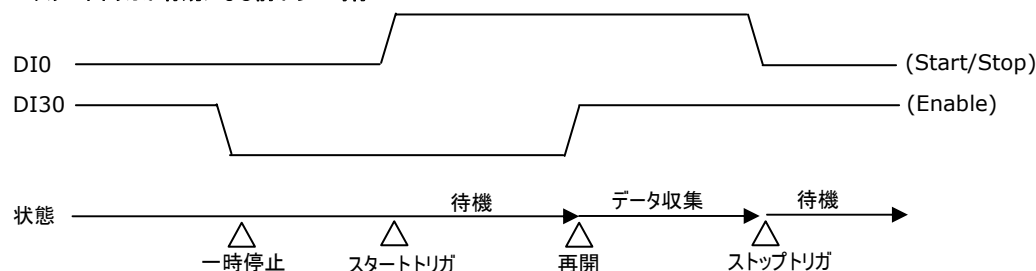
使用例

スタートトリガ : DI0 立ち上がりエッジ
ストップトリガ : DI0 立ち下がりエッジ

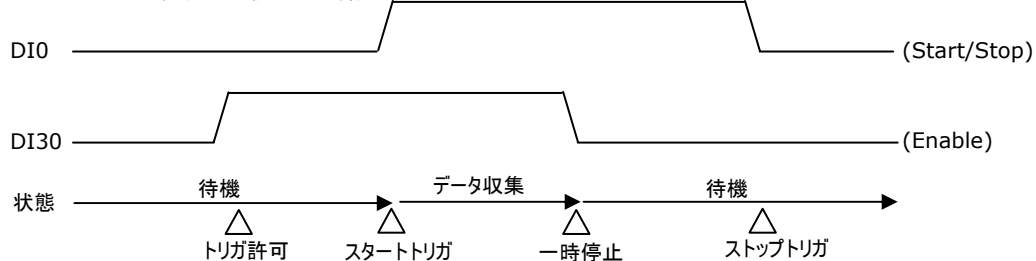
1 スタートトリガ検出・ストップトリガ未検出の間に一時停止



2 スタートトリガが有効になる前から一時停止



3 ストップトリガが有効になる前から一時停止



5. カウンタ/PWM/ラッチ/割り込み

5.1 32Bit 多機能エンコーダカウンタ-x4ch

DX II 64-1M-PCI は、多機能 32Bit エンコーダカウンタを 4 チャンネルを装備します。

＜カウント方式：以下の 4 種類からソフトウェアでチャンネル毎に設定できます＞

- ① 位相差パルス 4 倍速(4x)
- ② 位相差パルス 2 倍速(2x)
- ③ 位相差パルス 1 倍速(1x)
- ④ アップダウンカウンタ

＜カウンタリセット：以下の 3 種類からソフトウェアでチャンネル毎に設定できます＞

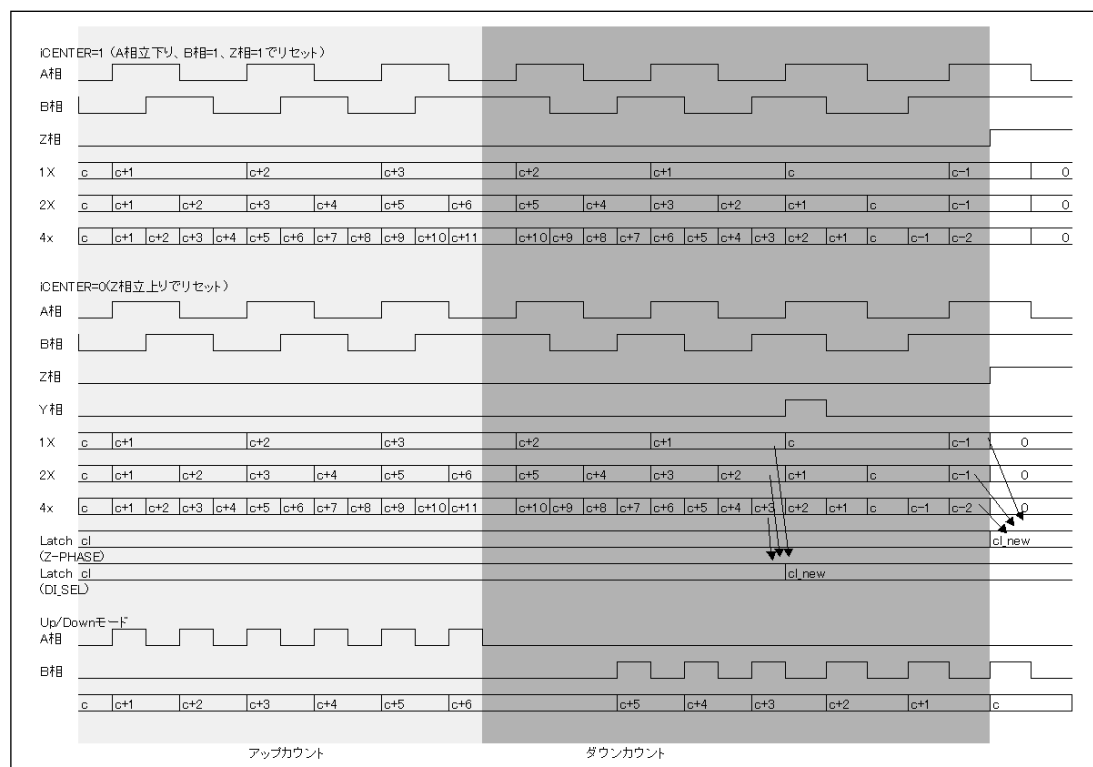
- ① なし
- ② CCW 方向:AZ 相 1 のとき B 相立下りでリセット 又は CW 方向:BZ 相 1 のとき A 相立下りでリセット(iCENTER=1)
- ③ Z 相立上りでリセット(iCENTER=0)

※いずれもソフトウェアリセットを組み合わせ可能

＜ラッチ：以下の 3 種類からソフトウェアでチャンネル毎に設定できます＞

- ① ソフトウェアラッチ(指定関数の呼び出しでラッチ)
- ② カウンタリセットに同期して、リセット直前の値をラッチ(Z-PHASE)
- ③ Y 相立上りでラッチ(DI_SEL)

＜エンコーダカウンタの動作タイミングチャート：様々な動作タイミングをまとめると以下のようになります＞



iCENTER=0、iCENTER=1 下のタイミングチャートの状態は、1 倍速・2 倍速・4 倍速の位相差パルス方式を表しています。両者の違いは、Z 相によるリセット方法の違いです。更に iCENTER=0 の Latch というところには 2 つのラッチモード(Z_PHASE=カウンタリセットで直前の値をラッチ/DI_SEL=Y 相と呼んでいるデジタル入力の立上りでラッチ)の違いを表しています。最下部はアップダウンカウンタの動作を示しています。

＜割り付け：カウンタのデジタル入力(DI)への割り付けは以下の通りです＞

- | | |
|--------|--|
| カウンタ-0 | :A 相[DI16]、B 相[DI17]、Z 相[DI18]、Y 相[DI19] |
| カウンタ-1 | :A 相[DI20]、B 相[DI21]、Z 相[DI22]、Y 相[DI23] |
| カウンタ-2 | :A 相[DI24]、B 相[DI25]、Z 相[DI26]、Y 相[DI27] |
| カウンタ-3 | :A 相[DI28]、B 相[DI29]、Z 相[DI30]、Y 相[DI31] |

<カウンターコンペア>

カウンター値と、ソフトウェアから(関数から)書き込まれたレジスタの値、もしくは隣接カウンターとの値を比較することができます。比較内容は、一致(負論理で言えば不一致)、大、小、範囲内(負論理で言えば範囲外)の4種類について同時に結果を出すことができます。この結果を

- (1) ソフトウェアで読み出す
- (2) 割り込みのソースにする
- (3) デジタル出力に割り当てる

といった事に利用できます。いずれもディセーブルにすることが可能です。デジタル出力への割り当ては以下のとおりです。

カウンター0:一致[DO16]、大[DO17]、小[DO18]、範囲内[DO19]
 カウンター1:一致[DO20]、大[DO21]、小[DO22]、範囲内[DO23]
 カウンター2:一致[DO24]、大[DO25]、小[DO26]、範囲内[DO27]
 カウンター3:一致[DO28]、大[DO29]、小[DO30]、範囲内[DO31]

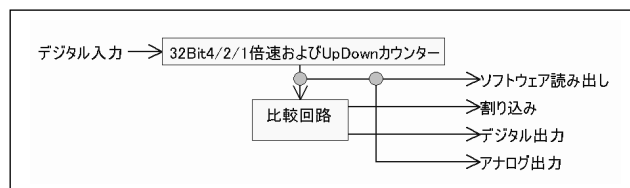
<カウンター アナログ出力リンク>

カウンターの出力の下位 16Bit をアナログ出力(AO0~AO3)に連動させることができます。パルス入力でアナログ出力をアップダウンさせるのに使われます。割り当ては以下のとおりです。

カウンター0:AO0
 カウンター1:AO1
 カウンター2:AO2
 カウンター3:AO3

<まとめ>

カウンター1チャンネルあたりの入出力の構成をまとめると右のようになります。カウンターの結果は、割り込み、アナログ出力、デジタル出力などに影響を与えることができます。



<リングバッファへの接続>

アナログデジタル入出力リングバッファは、下位 16Bit がアナログ入力値、上位 16Bit がデフォルトで、デジタル入力値ですが、ソフトウェア設定により、上位 16Bit をエンコーダカウンタの値に変更することが可能です。リングバッファに配置されるデータは、以下のよう切替が可能です。

エンコーダカウンタ 4 チャンネルをリングバッファに接続

先頭からのオフセット 0 :	カウンター3 下位 16Bit
先頭からのオフセット 1 :	カウンター3 上位 16Bit
先頭からのオフセット 2 :	カウンター0 下位 16Bit
先頭からのオフセット 3 :	カウンター0 上位 16Bit
先頭からのオフセット 4 :	カウンター1 下位 16Bit
先頭からのオフセット 5 :	カウンター1 上位 16Bit
先頭からのオフセット 6 :	カウンター2 下位 16Bit
先頭からのオフセット 7 :	カウンター2 上位 16Bit

これを繰り返す

エンコーダカウンタ 2 チャンネルをリングバッファに接続

先頭からのオフセット 0 :	カウンター1 下位 16Bit
先頭からのオフセット 1 :	カウンター1 上位 16Bit
先頭からのオフセット 2 :	カウンター0 下位 16Bit
先頭からのオフセット 3 :	カウンター0 上位 16Bit

これを繰り返す

エンコーダカウンタ 1 チャンネルをリングバッファに接続

先頭からのオフセット 0 :	カウンター0 下位 16Bit
先頭からのオフセット 1 :	カウンター0 上位 16Bit

これを繰り返す

5.2 周波数カウンターx4ch

エンコーダカウンターと独立した周波数カウンタを4チャンネルを搭載しています。スペックは以下のとおりです。

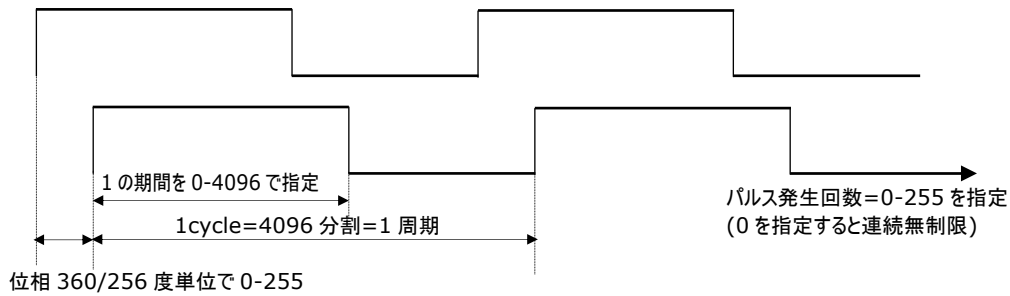
ゲート周期	: 1sec/100msec/10msec/1msec
カウンター長	: 25Bit
実装	: 4チャンネル (DI19,DI23,DI27,DI31)

5.3 PWM ジェネレーターx16ch

高機能 PWM ジェネレータを16チャンネル搭載しています。

- ① 12Bit デューティ比設定
- ② 8Bit 位相設定(360/256度=1.40625度単位で位相を指定)
- ③ 8Bit パルス発生回数指定(1-256回でパルス発生を自動停止、0を指定すると連続無制限)
- ④ 周期 8段階 1.96608msec, 3.93216msec, 7.86432msec, 15.72864msec, 31.45728msec, 62.91456msec, 125.82912msec, 251.65824msec
- ⑤ 実装チャンネル数=16チャンネル

※周期のみ全チャンネルで共通の設定項目になります。それ以外は各チャンネル毎に設定可能



<割り付け>

PWM ジェネレーターのデジタル出力(DI)への割り付けは以下の通りです。

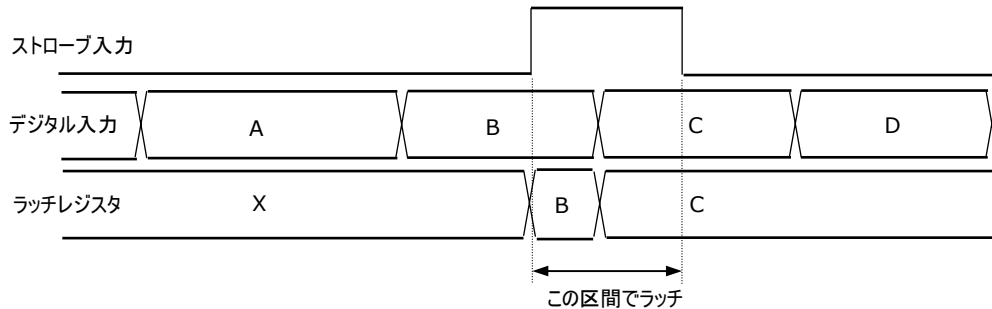
PWM00:DO16	PWM01:DO17	PWM02:DO18	PWM03:DO19
PWM04:DO20	PWM05:DO21	PWM06:DO22	PWM07:DO23
PWM08:DO24	PWM09:DO25	PWM10:DO26	PWM11:DO27
PWM12:DO28	PWM13:DO29	PWM14:DO30	PWM15:DO31

5.4 ストローブ送信・受信

データラッチを行うストローブを送信・受信できます。この動作はマイコン等のリードストローブ・ライトストローブと同じです。

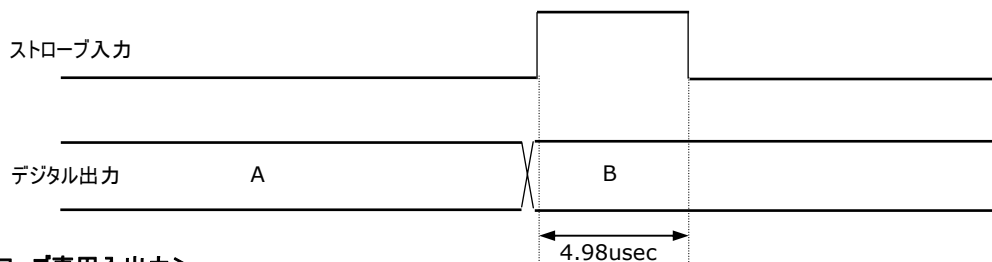
<ストローブ受信(リードストローブ)>

ストローブ入力をトリガとして、32 チャンネルのデジタル入力をラッチレジスタにメモリーすることが出来ます。この動作は、リングバッファ、ライブ値のポーリング、各種カウンター動作と並列に動作させることが出来ます。と並列に動作させることが出来ます。ストローブ受信入力 は DI31 または、CN1-1 専用入力のいずれかをソフトウェア上から設定できます。以下にタイミングチャートを示します。



<ストローブ送信(ライトストローブ)>

デジタル出力の更新と同時に、ストローブパルスの生成が可能で、データラッチ機構をもったシステムとのやりとりが容易になります。ストローブパルスの長さは 4.98us で、ハードウェア上のパルスジェネレーターで安定した高速のパルスを生成します。ストローブ送信出力は DO31 または、CN1-19 による専用独立入力のいずれかをソフトウェア上から設定できます。以下に生成のタイミングチャートを示します。



<ストローブ専用入出力>

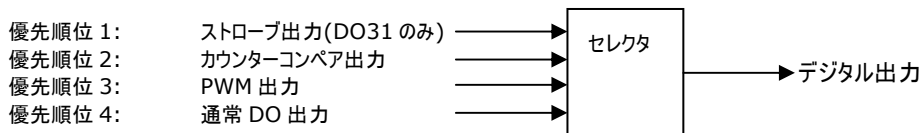
ストローブ送受信は DI31/DO31 を使うことも出来ますが、独立した専用入出力として、CN1 の専用入出力ピン 1 番及び 19 を使うことが出来ます。このストローブ専用入力 は 10KΩ でプルダウンされており、ハイインピーダンス状態でも、ラッチが動作しないよう、DI31 よりは使いやすくなっています。このストローブ専用出力は他のデジタル出力同様 360Ω の短絡保護回路が付きます。

5.5 DI 割り込み x16ch

デジタル入力(DI16~DI31)のエッジに対して割り込みイベントの発生可能です。エッジは立上り、立下り、両エッジを指定できます。

5.6 DO への各種機能のマッピング

デジタル入力に割り付けられた全ての機能(エンコーダカウンタ、周波数カウンタ、ラッチ、ポーリング、DI 割り込み等)を同時に並列動作させて使うことが出来ます。しかし、出力は複数の制御を同じ DO チャンネルから出すことはできないので、優先順位が決まっています。すなわち、1 つの DO チャンネルに接続できる、制御出力は 1 つだけです。(DO0-15 はリングバッファか、ソフトウェア DO かの 2 選択のみ)

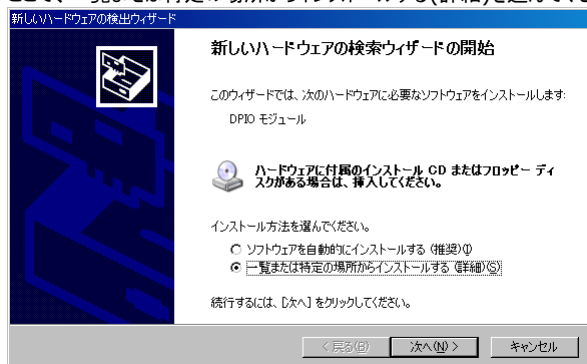


6. ソフトウェア

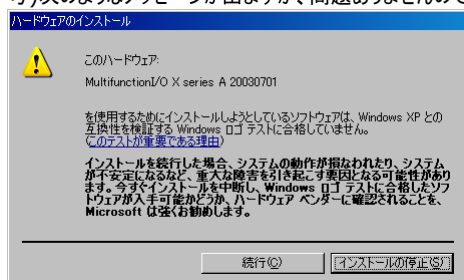
本製品のソフトウェアが対応する OS は、WindowsXP-32Bit、WindowsVista-32Bit、WindowsVista-64Bit、Windows7-32Bit、Windows7-64Bit です。デバイスドライバには ADioX2-API をエクスポートするダイナミックリンクライブラリが含まれ、開発環境として、C/C++ 言語用ヘッダファイルとインポートライブラリ、VisualBASIC 用定義ファイル、VisualC# 用定義ファイル、各言語毎のサンプルソース、本格的なアプリケーションとそのソースなどの SDK が提供されます。ドライバは CARD_ID 毎にインストールする必要があります。

6.1 ドライバインストール(WindowsXP)

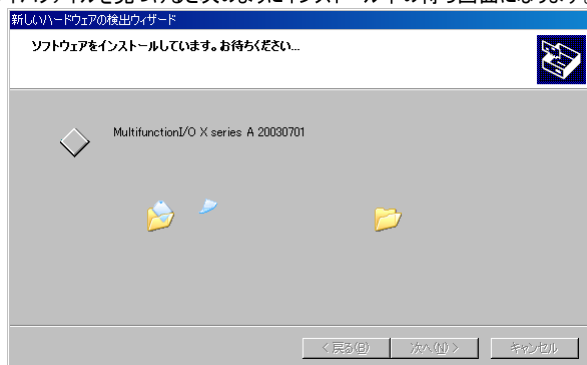
- (1) 電源を切った PC(IBM-PC/AT 互換機)の、PCI バススロットへ本製品を取り付けて下さい。
- (2) 電源を投入して、WindowsXP を起動して下さい。
- (3) OS は MultifunctionI/O-X2 シリーズを検出したことを、以下のようなメッセージで通知します。ここで、一覧または特定の場所からインストールする(詳細)を選んでください。



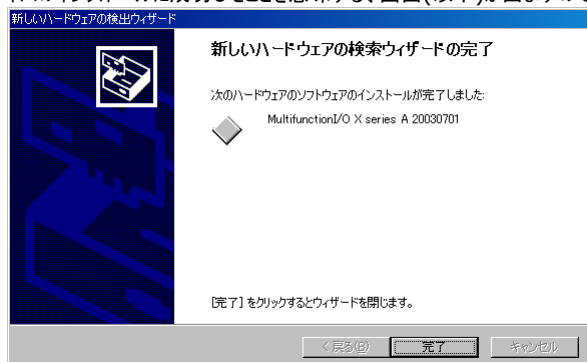
- (4) そのままドライバの場所を指定 > **CDROM¥MFIO_X2¥driver_XP32** を指定してください。(CDROM¥は CDROM のドライブ番号)次のようなメッセージが出ますが、問題ありませんので、続行をクリックしてください。



- (5) ドライバファイルを見つけると次のようにインストール中の待ち画面になります。

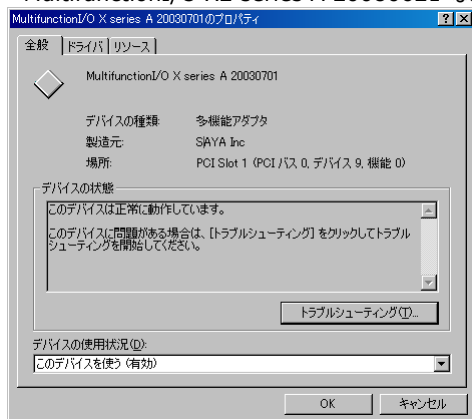


- (6) ドライバのインストールに成功したことを意味する、画面(以下)が出ますので、“完了”をクリックしてください。



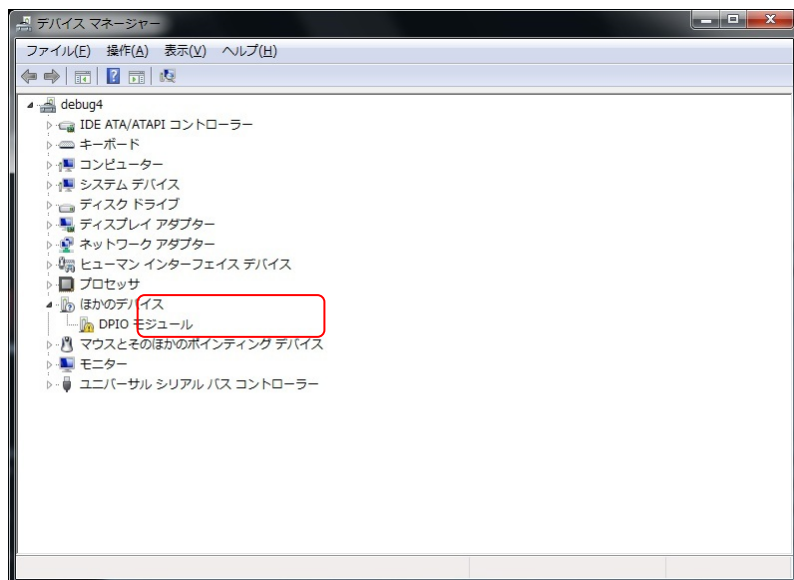
(7)ここで必ず再起動してください。

(8)正しくドライバがインストールされていれば、コントロールパネル->システム->デバイスマネージャーでマルチファンクションアダプター-> "MultifunctionI/O X2 series A 20080621"などが表示されているはずですが。(20080621 はバージョン番号=年月日)

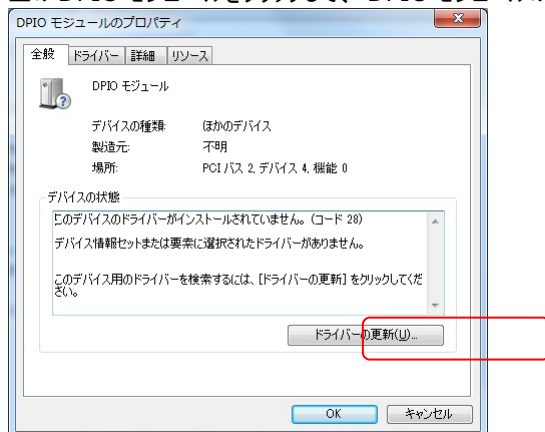


6.2 ドライバインストール(Windows7/Vista)

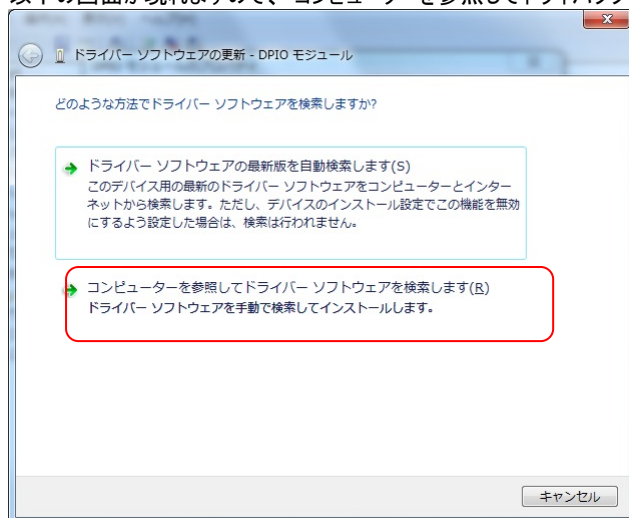
ボードを装着し、付属の CDROM をコンピュータの光学ドライブに挿入して起動して下さい。新しいデバイスを認識すると、ドライバーソフトウェアの検索方法を要求するメッセージが出ますが、64bit 版では、このメッセージ出ない場合がありますので、このような場合には、コントロールパネル→システム→デバイスマネージャーを開きます。すると、“ほかのデバイス”→“DPIO モジュール”が使用不可の状態にて現れます。もしドライバーソフトウェアの検索方法を要求するメッセージが出ている場合には次のページに飛んでください。



上の DPIO モジュールをクリックして、“DPIO モジュールのプロパティ”を開き、“ドライバの更新(U)” ボタンをクリックします。



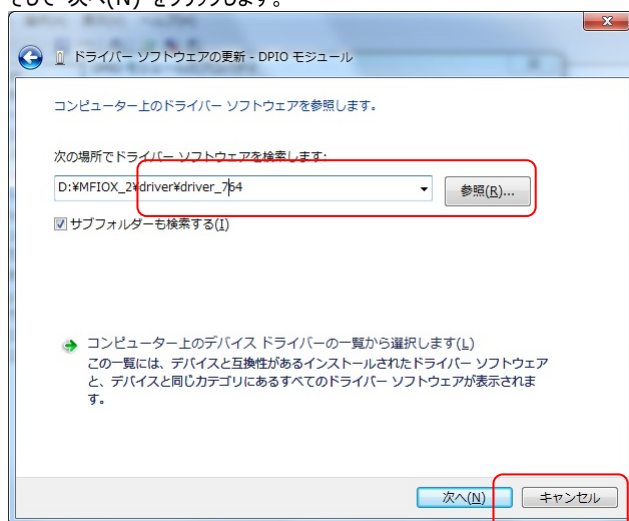
以下の画面が現れますので、“コンピューターを参照してドライバソフトウェアを検索します”を選んでください。



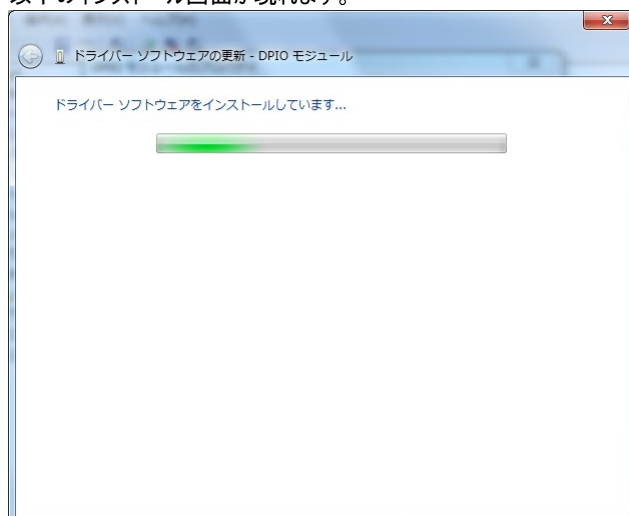
以下のドライバーソフトウェアの場所を聞いてきますので、以下のフォルダを指定してください。CDROM¥は CDROM のドライブ番号です。

Windows7-32bit 版の場合 **CDROM¥MFIO_X2¥driver¥driver_732**
Windows7-64bit 版の場合 **CDROM¥MFIO_X2¥driver¥driver_764**
WindowsVista-32bit 版の場合 **CDROM¥MFIO_X2¥driver¥driver_V32**
WindowsVista-64bit 版の場合 **CDROM¥MFIO_X2¥driver¥driver_V64**

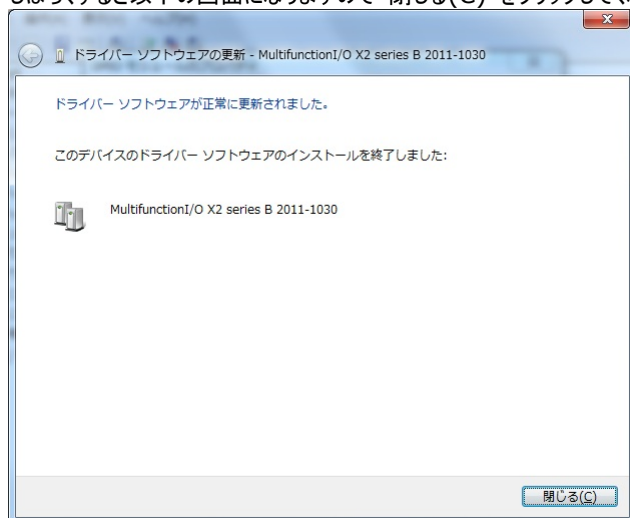
そして“次へ(N)”をクリックします。



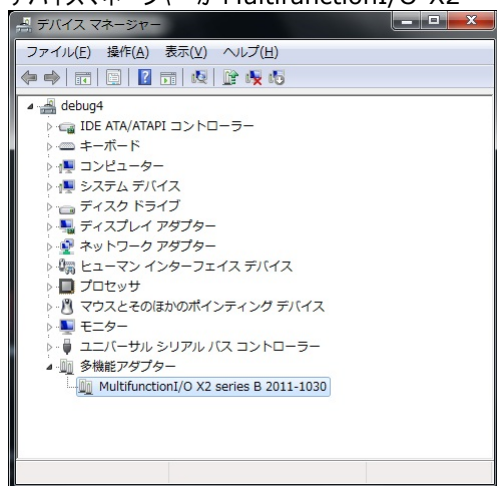
以下のインストール画面が現れます。



しばらくすると以下の画面になりますので“閉じる(C)”をクリックしてください。



デバイスマネージャーが MultifunctionI/O-X2----になり黄色の!マークが消えてデバイスが使用可能になります。



ここで一度、再起動してください。

6.3 アンインストールと再インストール

ボードを削除するだけで、アンインストールは終了します。既にドライバを組み込んである PC であれば、同じカードスロット・同じ ID 番号なら、ボードを再インストールする場合には大部分自動認識します。

6.4 SDK

API はオープンで、これを自由に使うことができます。また、API を使うためのサンプルソースなども付属しています。サンプルソースは、WEB 上にも公開されており、製品購入前に、検討することも可能です。API の使い方等については、ADiox2-API リファレンスマニュアルを参照してください。

6.5 サンプルアプリケーション

本製品の使用方法は、付属アプリを使う、付属のライブラリ(ADiox2-API)で開発する、付属アプリやサンプルのコードを改良する、など様々な手法が利用できます。

1. ADiox2-API を応用したサンプルソース

言語毎にサンプルソースが用意されています。VisualC++用 2 つ、VisualC#用 2 つ、VisualBASIC 用の 1 つの計 5 つのプロジェクトで殆どの機能をマスターします。ソースコードはわずか 500 行程度とシンプルです。

2. Console2.exe

ADiox2-API を駆使した本格的なアプリケーションソフトウェアも用意しております。ソースコードもオープンですのでこれをベースに独自のソフトウェアを開発することができます。

3. ADiox2-API を直接操作する

ソフトウェアは ADiox2-API を使って自作することができます。シンプルで機種依存の少ないライブラリで、沢山の機能を効率的に使うことが出来るようになっていきます。信号解析、信号調節、ロガー、波形生成、波形描画アシスト、高速ファイル保存などの満載しており、短いソースで高度なアプリケーションを実現できます。

7. 注意点・その他

7.1 一般禁止事項

本製品に対する高温、多湿、急激な温度変化（結露）、静電気、腐食性ガス（強酸、強アルカリを含む）、導電性の粉塵、振動、基板へのストレス、衝撃、過電圧、逆電圧、短絡、出力端子の過負荷や出力同士のショート、紫外線よりも短い波長の電磁波を大量に浴びせる事、カビ、強電界・強磁界など、電子機器にとって有害な環境での使用を避けて下さい。また、PCI バスへの実装は必ずネジ止めをして下さい。このような状況下における使用は、保証外、サポート対象外になります。また、システムへの組み込みの際には、十分な検証を行って下さい。

7.2 タイミング

本製品の内部タイミングの一部はPCIクロックをベースに生成されます。PCIクロックが規定値と異なる場合、タイミングがPCIクロックに依存して変化します。安定したクロック精度が必要な場合、マザーボードの拡散クロックはBIOSでディセーブルにして下さい。

7.3 ケーブル長さ

本DIOボードはTTLインターフェースであるため、ケーブルの長さは、短めにして下さい。特に、高速の信号を扱う場合、ノイズの多い環境で使用する場合にはケーブルの選択に注意して下さい。

7.4 本仕様書の扱い

製品との相違

本仕様書は、ご利用者が理解しやすいよう努力しておりますが、万一、本仕様書と製品が異なる場合には、製品を優先させていただきます。また、本仕様書の主観的解釈の可能な箇所についても、同様に、製品を優先とさせていただきます。

品質と機能

本製品の品質および機能が、ご利用者の使用目的に適合することを保証するものではありません。従って、本製品の選択導入はご利用者の責任でおこなっていただき、本製品の使用や、その結果の直接的または間接的ないかなる損害についても同様とします。従って、システムに組み込む場合、十分な検証を行って下さい。

バージョンアップ

ドライバや仕様書のバージョンアップや修正などを、ホームページ、メール、CDROM の配布等の何らかの手法で提供いたします。ただし、弊社の諸事情により迅速な対応がとれない場合もあります。また、これらは、その遂行義務を弊社が負うものではありません。

7.5 長期の保存

本製品を長期保存なさる場合、結露やダンボールから発生する硫化水素ガスなどによって、短期間に腐食する場合があります。これを防ぐには、結露しない環境に保管し、かつ腐食性ガスを遮断できるようにビニールなどでパッケージングして下さい。また、長期保存後は 2-3 時間のエージングをなさってから使用して下さい。

7.6 総合信頼性試験等

本製品は、PCI ボードであり、PC や、さらにその上位の装置に組み込まれて動作します。従って、振動、温度、温度サイクル、静電破壊などの諸条件に対する能力は、組み込まれる PC や装置全体によって、大きく左右されます。また、使用環境の温度、湿度、温度変化、通風状況、粉塵状況、電磁波状況、振動によっても必要な環境適応能力は異なってきます。ゆえに、これら組み込みシステム上での信頼性を要求される場合には、別途総合試験を行なって、仕様環境に耐えることを確認する必要があります。

7.7 工業所有権、著作権

本製品の使用により、第三者の工業所有権・著作権に関わる問題が生じた場合、弊社の製造、製法に関わるもの以外については、弊社はその責を負いませんのでご了承下さい。また、弊社の許可無しに、回路、プログラマブルデバイス構成データ、ボード上の EEPROM、ドライバソフトウェアに対するリバースエンジニアリングを禁止します。このような結果生じた損害についても、弊社はその責を負いません。

7.8 用途

本製品を輸送機器（自動車、列車、船舶等）、交通信号制御、防災・防犯設備、航空機、宇宙機器、潜水艦、海底中継機器、原子力発電所、軍事機器、人命に直接関わる医療機器などの極めて高い安全性を要求される用途へのご検討の際には、弊社までご連絡下さい。

8. 接続方法・アクセサリ

主な接続方法を以下に示します。ケーブルは両端コネクタのほか、片側のみコネクタ（反対側バラ線）もあります。このほか、以下の中継基板、テスト基板をアクセサリとしてラインナップしており、配線や接続、テストの負担を軽減します。

- **TERM85D**: 100pin ハーフピッチコネクタをピンヘッダに変換、2.54mm ピッチの汎用ユニバーサル基板や、組み込み用途に最適です。
- **TERM85E**: 100pin ハーフピッチコネクタを 7.62mm ピッチ 2 段端子台に変換、簡単に配線ができます。
- **TEST85**: DX II 64-1M-PCI をテストします。

